

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-101866

(P2001-101866A)

(43) 公開日 平成13年4月13日(2001.4.13)

(51) Int.Cl.

識別記号

F.I.

特許庁(参考)

G11C 11/409

G11C 11/84

B53B

審査請求 未請求 請求項の数12 図 6 (全 6 頁)

(21) 出願番号 特願2000-207483(P2000-207483)

(22) 出願日 平成12年9月4日(2000.9.4)

(31) 優先権主張番号 99-87105

(32) 優先日 平成11年9月2日(1999.9.2)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 380019839

三星電子株式会社

大韓民国京畿道水原市八通区梅洞418

(72) 発明者 趙鳳△祐▼

大韓民国ソウル特別市江南区澁谷洞854-5番地204号

(72) 発明者 金鉉株

大韓民国京畿道水原市長安區亭子2洞19番地瑞泰アパート811号

(74) 代理人 100078428

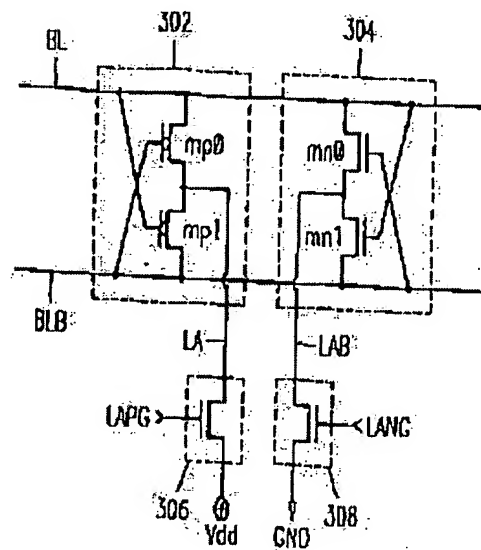
弁理士 大塚 康徳 (外2名)

(54) 【発明の名称】 半導体メモリ装置の感知増幅器

(57) 【要約】

【課題】 駆動能力が改善されると共に半導体メモリ装置のサイズの縮小に寄与する感知増幅器を提供する。

【解決手段】 ビットラインと相補ビットラインとの間に接続されたプルアップ感知増幅器302及びプルダウン感知増幅器304と、プルアップ感知増幅器302に電荷を提供する第1NMOSトランジスタを具備するプルアップ感知駆動器306と、プルダウン感知増幅器304から電荷を引き抜く第2NMOSトランジスタを備えるプルダウン感知駆動器308を含む。このようにプルアップ感知増幅器302とプルダウン感知増幅器304を全てNMOSトランジスタで構成することによってセンシングタイム及びリフレッシュタイムが改善される。



【特許請求の範囲】

【請求項 1】 ビットラインと相補ビットラインとの間に接続されたプルアップ感知増幅器及びプルダウン感知増幅器と、

前記プルアップ感知増幅器に電荷を提供する第 1 NMOS トランジスタを具備するプルアップ感知駆動器と、

前記プルダウン感知増幅器から電荷を引き抜く第 2 NMOS トランジスタを備えるプルダウン感知駆動器と、
を含むことを特徴とする半導体メモリ装置の感知増幅器。

【請求項 2】 前記プルアップ感知駆動器を活性化するときの第 1 活性化信号の電位は、前記プルダウン感知駆動器を活性化するときの第 2 活性化信号の電位より高いことを特徴とする請求項 1 に記載の感知増幅器。

【請求項 3】 前記第 1 活性化信号は、前記第 1 NMOS トランジスタをターンオンさせることによって前記プルアップ感知駆動器を活性化し、前記第 2 活性化信号は、前記第 2 NMOS トランジスタをターンオンさせることにより前記プルダウン感知駆動器を活性化することを特徴とする請求項 2 に記載の感知増幅器。

【請求項 4】 前記第 1 及び第 2 NMOS トランジスタの大きさは同一であることを特徴とする請求項 3 に記載の感知増幅器。

【請求項 5】 前記第 1 活性化信号の電位と前記第 2 活性化信号の電位との差により、前記プルダウン感知増幅器内の NMOS トランジスタ内のキャリアの移動度よりも低い前記プルアップ感知増幅器内の PMOS トランジスタ内のキャリアの移動度が確保されることを特徴とする請求項 4 に記載の感知増幅器。

【請求項 6】 前記プルアップ感知増幅器を活性化する第 1 信号と前記プルダウン感知駆動器を活性化する第 2 信号を発生する制御部をさらに具備し、前記プルアップ感知増幅器を活性化するときの第 1 信号の電位は、前記プルダウン感知増幅器を活性化するときの第 2 信号の電位より高いことを特徴とする請求項 1 に記載の感知増幅器。

【請求項 7】 前記感知増幅器はトリプルウェル構造を有することを特徴とする請求項 1 に記載の感知増幅器。

【請求項 8】 前記プルアップ感知増幅器は、ビットラインと第 1 ノードとの間に接続された第 1 PMOS トランジスタと、

前記第 1 ノードと相補ビットラインとの間に接続された第 2 PMOS トランジスタとを具備し、

前記第 1 NMOS トランジスタは前記第 1 ノードと第 1 電圧との間に接続されていることを特徴とする請求項 1 に記載の感知増幅器。

【請求項 9】 感知動作中に前記プルアップ感知駆動器を活性化する活性化信号を発生する制御回路をさらに具備し、

前記プルアップ感知駆動器を活性化する活性化信号の状態は前記第 1 電圧より高い第 2 電圧を有することを特徴

とする請求項 8 に記載の感知増幅器。

【請求項 10】 前記プルダウン感知増幅器は、ビットラインと第 2 ノードとの間に接続された第 3 NMOS トランジスタと、

前記第 2 ノードと相補ビットラインとの間に接続された第 4 NMOS トランジスタを具備し、

前記第 2 NMOS トランジスタは前記第 2 ノードと基準電圧との間に接続されていることを特徴とする請求項 9 に記載の感知増幅器。

【請求項 11】 前記第 1 NMOS トランジスタの大きさは、前記第 2 NMOS トランジスタのそれと同一であることを特徴とする請求項 10 に記載の感知増幅器。

【請求項 12】 感知動作中に各々前記プルアップ感知駆動器と前記プルダウン感知駆動器を活性化するときの第 1 及び第 2 活性化信号を発生する制御部をさらに具備し、前記第 1 及び第 2 活性化信号は、各々前記プルアップ及びプルダウン感知駆動器を活性化する時はアクティブハイで、第 1 活性化信号のアクティブハイ状態は前記第 2 活性化信号のアクティブハイ状態より高い電圧を有することを特徴とする請求項 11 に記載の感知増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体メモリ装置の感知増幅器に関する。

【0002】

【従来の技術】 DRAM(Dynamic Random Access Memory)のような半導体メモリ装置は、メモリセルに貯蔵されたデータを読出したりメモリセルのデータをリフレッシュしたりするための感知増幅器を使用する。

【0003】 図 1 は従来の感知増幅器を示す回路図である。図 1 において、感知増幅器はプルアップ感知増幅器 102 とプルダウン感知増幅器 104 とを含む。プルアップ感知増幅器 102 は PMOS トランジスタ mp_0 及び mp_1 を含む。プルダウン増幅器 104 は NMOS トランジスタ mn_0 及び mn_1 を含む。MOS トランジスタ mp_0 及び mp_1 と mn_0 及び mn_1 はビットライン BL と相補ビットライン BLB との間に直列に接続され、ビットライン BL と相補ビットライン BLB に各々接続されたゲートを有する。感知増幅器は、プルアップ感知増幅器 102 とプルダウン感知増幅器 104 の各々を通じて、ライン BL と BLB に電荷を提供したり、ライン BL と BLB から電荷を引き抜いたりするプルアップ感知駆動器 106 とプルダウン感知駆動器 108 も具備する。

【0004】 この感知増幅器において、プルアップ感知駆動器 106 は、供給電圧 V_{dd} と PMOS トランジスタ mp_0 及び mp_1 の間のノードとの間に接続された PMOS トランジスタで、プルダウン感知駆動器 108 は、供給電圧 GND と NMOS トランジスタ mn_0 及び mn_1 の間のノードとの間に接続された NMOS トランジスタである。

【0005】 図 2 は、図 1 に示されたプルアップ感知駆

動器106を駆動する信号LAPGとプルダウン感知駆動器108を駆動する信号LANQを発生する制御回路を示す回路図である。図2の制御回路は、NANDゲート202と3個のインバータ204、206、208とを具備する。

【0006】NANDゲート202の入力信号PS及びPBLSIJが全て“ハイ”状態になれば、NANDゲート202の出力信号が“ロー”状態になる。このとき、第1インバータ204の出力であるLANQ信号は“ハイ”状態になり、第3インバータ208の出力のLAPG信号は“ロー”状態になる。すなわち、入力信号PS及びPBLSIJが“ハイ”状態になればLANQ信号はプルダウン感知駆動器108をターンオンさせ、LAPG信号はプルアップ感知駆動器106をターンオンさせて図1の回路でセンシング動作が起こる。

【0007】図1に示したように従来の感知増幅器は、LAラインに電荷を供給するプルアップ感知駆動器106としてPMOSトランジスタを使用し、LABラインから電荷を引き抜くプルダウン感知駆動器108としてNMOSトランジスタを使用する。

【0008】図1のような感知増幅器は、セルアレイの容量の増加に対応させる必要がある。例えば、従来のセルアレイの大きさは128K bitであったが、半導体装置の集積技術の向上に伴って現在では1.92K bitや2.56K bitに増加した。メモリアレイの容量が増加するにつれてビットラインはますます細く長くなって、ビットラインの抵抗成分及びキャパシタ成分が増加する。そこで、プルアップ感知駆動器106とプルダウン感知駆動器108の駆動能力をアレイ容量の増加と共に増加させる必要がある。

【0009】また、PMOSトランジスタは同じ大きさのNMOSトランジスタよりも活性化信号に対する応答が遅い。したがって、PMOSトランジスタにより構成されるプルアップ感知駆動器106の応答を、NMOSトランジスタにより構成されるプルダウン感知駆動器108のそれと同じくするために、PMOSトランジスタの幅をNMOSトランジスタの幅より大きくする必要がある。しかし、より大きいPMOSトランジスタはチップサイズを増加させ、メモリアレイ容量の増加を妨げる。

【0010】

【発明が解決しようとする課題】本発明は、サイズが小さい一方で高い駆動能力を有する感知増幅器を提供し、これにより感知増幅器を有するメモリ装置のチップサイズを減少させることを目的とする。

【0011】

【課題を解決するための手段】本発明に係る感知増幅器は、プルアップ感知増幅器、プルダウン感知増幅器、プルアップ感知駆動器、及びプルダウン感知駆動器を含む。

【0012】プルアップとプルダウン感知増幅器は、ビットラインと相補ビットラインとの間に接続され、メモリアレイのデータを感知する。プルアップ感知駆動器はプ

ルアップ感知増幅器に電荷を提供するNMOSトランジスタを具備し、プルダウン感知駆動器はプルダウン感知増幅器から電荷を引き抜くNMOSトランジスタを具備する。2個のNMOSトランジスタは同じ大きさとすることができ、より大きいPMOSトランジスタを使用する場合に比べてチップサイズを縮めることができる。

【0013】プルアップ感知駆動器を駆動する信号の電位は、プルダウン感知駆動器を駆動する信号のそれより高いこと、及び/又は、プルアップ感知駆動器の供給電圧より高いことが好ましい。

【0014】

【発明の実施の形態】以下、添付した図面を参照して本発明の特徴及び利点を詳細に説明する。

【0015】図3は、本発明の好適な実施の形態に係る感知増幅器を示す回路図である。図3の感知増幅器は、一対のPMOSトランジスタmp0及びmp1を具備するプルアップ感知増幅器302と一対のNMOSトランジスタmn0及びmn1を具備するプルダウン感知増幅器304とを含む。PMOSトランジスタmp1及びmp0はビットラインBLと相補ビットラインBLBとの間に直列に接続され、各々がビットラインBLと相補ビットラインBLBに接続されるゲートを有する。同じように、NMOSトランジスタmn1及びmn0はビットラインBLと相補ビットラインBLBとの間に直列で接続され、各々がビットラインBLと相補ビットラインBLBに接続されるゲートを有する。プルアップ感知駆動器306は、ラインLAを通じてPMOSトランジスタmp0とmp1との間のノードに接続され、プルアップ増幅器302に電荷を提供する。プルダウン感知駆動器308はラインLABを通じてNMOSトランジスタmn0とmn1との間のノードに接続され、そしてプルダウン感知増幅器304から電荷を引き抜く。この感知増幅器は、各々のプルアップ感知駆動器306とプルダウン感知駆動器308がNMOSトランジスタで構成されていることが特徴である。

【0016】センシング動作の初期において、等化回路(図示せず)は、ビットラインBLと相補ビットラインBLBの電圧をプリチャージレベル $1/2V_{b1}$ に等化する。セルトランジスタがビットラインBLを“ハイ”レベルでチャージされたキャパシタに接続するようにワードライン(図示せず)がイネーブルされれば、チャージシェアリングによりビットラインBLの電位が相補ビットラインBLBの電位より高くなる。一方、接続されたキャパシタがディスチャージされていけば、チャージシェアリングによりビットラインBLの電圧が低下する。チャージシェアリングが完了する時点でプルアップ感知駆動器306とプルダウン感知駆動器308は、LAラインの電位を $1/2V_{b1}$ から供給電圧 V_{dd} に、LABラインの電位を $1/2V_{b1}$ から接地電位(0V)に駆動し始める。

【0017】読出されているメモリアレイが“ハイ”状態でチャージされている時は、トランジスタmn1のゲート電

位が m_0 のゲート電位より高くなるので、相補ビットラインBLBのチャージが m_1 を通じてL₀Bラインに流れていく。従って相補ビットラインBLBの電位が低下する。一方、ラインALは、トランジスタ m_{p0} を通じてビットラインBLに電荷を供給してビットラインBLの電位を増加させる。これはラインBLとBLBとの間の小さな電圧差を増幅してビットラインBLの電位を供給電圧 V_{dd} に上げる。一方、相補ビットラインBLBの電位を接地電位(0V)に下げるフィードバックループを形成する。

【0018】ビットラインBLと相補ビットラインBLBの電位差が適正な水準に到達すれば、カラム選択ライン(Column Select Line)(図示せず)により制御されるカラム選択トランジスタ(図示せず)をターンオンさせて、感知されたデータを入出力ライン(I/O Line)(図示せず)に伝送する。

【0019】図3の感知増幅器において、プルアップ感知駆動器306とプルダウン感知駆動器308が全てNMOSトランジスタで構成される。駆動器306及び308のNMOSトランジスタは速い応答を提供し、同等な駆動能力とスピードのPMOSトランジスタを使用することによる半導体メモリ装置のチップサイズ増加を防止する。

【0020】駆動器306及び308の速い応答は、駆動器306及び308が動作し始める時点とカラム選択ラインがイネーブルされる時点との間のセンシングタイムを縮める。

【0021】同じようにメモリセルのキャパシタにデータをリフレッシュするのに必要なリフレッシュタイムも縮まる。

【0022】図1に示したような従来の感知増幅器と同じチップ領域を使用する場合において、本発明の好適な実施の形態の感知増幅器によれば、センシングタイムは1~2nsまで縮まり、カラム選択ラインCSLのイネーブルタイムを延ばす必要がない。リフレッシュタイムは10nsまで短くなる。

【0023】図4は、図3に示したプルアップ感知駆動器306とプルダウン感知駆動器308を活性化する制御回路の構成を示す。制御回路はNANDゲート402、2個のインバータ404及び408、並びにレベルシフト406を具備する。NANDゲート402はPS信号とPBLSIJ信号を受け、そのNAND直結された結果をインバータ404とレベルシフト406に出力する。インバータ404はNANDゲート402の出力信号を反転させてLANG信号を発生し、レベルシフト406及びインバータ408はNANDゲート402の出力信号を各々バッファリング及び反転させてLAPG信号の活性化されたレベルを発生する。

【0024】これによりインバータ404とインバータ408の出力は同じロジックレベルを有するが、以下に説明されるようにインバータ408は、LAPG信号の活性化されたレベルを供給電圧 V_{dd} 、即ちLANG信号の活性化されたレベルよりも高いレベルまで上げる。

【0025】PS信号とPBLSIJ信号が全て"ハイ"状態になればNANDゲート402の出力は"ロー"状態になり、インバータ404の出力のLANG信号とインバータ408の出力のLAPG信号は全て"ハイ"状態になる。これによりインバータ404からのLANG信号とインバータ408からのLAPG信号は"ハイ"状態になる。センシング動作中にプルアップ感知増幅器302及びプルダウン感知増幅器304の動作を開始させるために、LANG信号はプルダウン感知駆動器308をターンオンさせ、LAPG信号はプルアップ感知駆動器306をターンオンさせる。

【0026】プルアップ感知増幅器302はPMOSTランジスタ m_{p0} 及び m_{p1} を含む。よく知られたようにPMOSTランジスタ m_{p0} 及び m_{p1} 内のホールの移動度は、プルダウン感知増幅器304のNMOSTランジスタ m_{n0} 及び m_{n1} 内の電子の移動度より小さい。従って、プルアップ感知駆動器306とプルダウン感知駆動器308が同じ大きさであれば、プルアップ感知駆動器306の駆動能力を増加するべきである。本発明の好適な実施の形態では、レベルシフト406とインバータ408は、LAPG信号のアクティブ電位をLANG信号のそれに比べて高くすることによってプルアップ感知駆動器306の駆動能力を増加させる。

【0027】本発明の好適な実施の形態では、レベルシフト406の入力は0~2.4Vで、出力は0~3.8Vである。レベルシフト動作のためにレベルシフト406の電源電圧として3.8Vの電位を有する V_{pp} が印加される。またインバータ408の電源電圧としても V_{pp} が印加される。

【0028】図4の制御回路において、NANDゲート402の出力が"ハイ"であればNMOSTランジスタ m_{n1} 及び m_{n4} がオンされ、インバータINVの出力は"ロー"となりNMOSTランジスタ m_{n2} 及び m_{n4} がターンオフされる。トランジスタ m_{n1} はPMOSTランジスタ m_{p2} のゲートをプルダウンし、これによりトランジスタ m_{p2} がターンオンされレベルシフト406の出力は電圧 V_{pp} にプルアップされる。また、NANDゲート402の出力はトランジスタ m_{n3} をオンさせレベルシフト406の出力はトランジスタ m_{p1} をオフさせて、レベルシフト406は V_{pp} レベルにラッチされる。

【0029】NANDゲート402の出力が"ロー"であれば、トランジスタ m_{n1} 及び m_{n4} がオフされ、インバータINVからの出力は"ハイ"になってトランジスタ m_{n2} 及び m_{n4} をターンオンさせる。これによりトランジスタ m_{n4} 及び m_{n2} がターンオフされてレベルシフト406の出力は"ロー"(0V)になる。また、この"ロー"レベルの出力はトランジスタ m_{p1} をターンオンさせてトランジスタ m_{p2} を継続してオフさせてレベルシフト406の出力を"ロー"レベル(0V)にラッチされるようにする。

【0030】インバータ408は低電位を入力し反転さ

せてV_{pp}レベルを出力する。言い換えれば、レベルシフタ406とインバータ408の動作は、プルアップ感知駆動器306を活性化するとき、LAPG信号の電位をプルダウン感知駆動器308を活性化するときのLANG信号の電位より高く上げる。

【0031】これは駆動器306の駆動能力を増大させ、電位V_{pp}とV_{dd}との差が駆動器306のNMOSトランジスタのスレショルド電圧より大きいため、ラインLAの最大電位を電位V_{dd}に増大させる。

【0032】図3の感知増幅器を含むメモリではカラム選択タイムを延ばす必要がない。駆動器306(図4)のNMOSトランジスタが駆動器106(図1)のPMOSトランジスタと同じ大きさを有する場合、図1の感知増幅器と比較する時、図3の感知増幅器は、センシングタイムが1~2nsまで短まり、リフレッシュタイムが1.0nsまで短まる。

【0033】図3の感知増幅器は、例えばトリプルウェルプロセス及び構造で具現される。トリプルウェル構造とは、基板内で上部のウェル(例えばp-ウェル)が下部のウェル(例えばn-ウェル)の境界内にある構造である。アクティブ領域(例えばNMOSトランジスタのn-タイプソース/ドレイン領域)が上部のウェル(例えばp-ウェル)内にあり、他のアクティブ領域(例えばPMOSトランジスタのp-タイプソース/ドレイン領域)が上部のウェルを取り囲む下部のウェルの一部である。そのようなトリプルウェル構造を作るプロセスは当業者によく知られている。図3の感知増幅器において、ツインウェルアイソレーション構造のNMOSトランジスタを採用した装置と比較すると、トリプルウェル構造はNMOSトランジスタの長さと、

駆動器306とプルアップ感知増幅器302との距離を縮めることを可能にする。したがって、図3の感知増幅器は、トリプルウェルプロセスを使用して形成されることが好ましい。トリプルウェルプロセスによれば、チップのコアと周辺領域の比率に関係なくコア領域にNMOSトランジスタ集中させることができるため、プロセスを改善することができる。

【0034】

【発明の効果】前述したように本発明の感知増幅器によれば、プルアップ感知駆動器とプルダウン感知駆動器を全てNMOSトランジスタで構成することによってセンシングタイム及びリフレッシュタイムが改善される。

【図面の簡単な説明】

【図1】従来の感知増幅器の構成を示す回路図である。

【図2】図1に示したプルアップ感知駆動器及びプルダウン感知駆動器を各々制御するLAPG信号及びLANG信号を発生する制御回路の構成を示す回路図である。

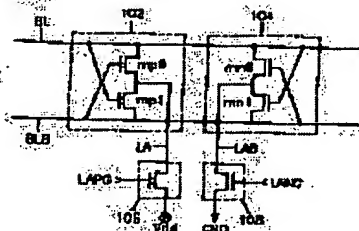
【図3】本発明に係る感知増幅器の構成を示す回路図である。

【図4】図3に示したプルアップ感知駆動器及びプルダウン感知駆動器を各々制御するLAPG信号とLANG信号を発生する制御回路の構成を示す回路図である。

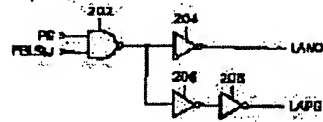
【符号の説明】

- BL ビットライン
- BLB 相補ビットライン
- 302 プルアップ感知増幅器
- 304 プルダウン感知増幅器
- 306 プルアップ感知駆動器
- 308 プルダウン感知駆動器

【図1】



【図2】



【図3】

